

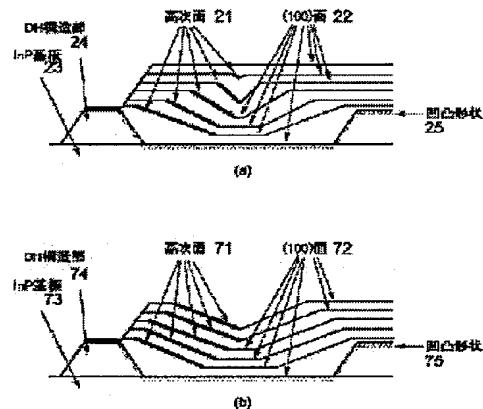
FILM-FORMING METHOD BY METAL ORGANIC VAPOR PHASE DEPOSITION AND MANUFACTURE OF SEMICONDUCTOR LASER USING THE SAME**Publication number:** JP2000260714**Also published as:****Publication date:** 2000-09-22 **US6300153 (B1)****Inventor:** ATSUI OAKI**Applicant:** NIPPON ELECTRIC CO**Classification:**

- **international:** C30B25/02; H01L21/20; H01L21/205; H01S5/00;
H01S5/227; H01S5/22; C30B25/02; H01L21/02;
H01S5/00; (IPC1-7): H01L21/205; H01S5/227

- **European:** C30B25/02; H01L21/20C; H01L21/205C; H01S5/227

Application number: JP19990060184 19990308**Priority number(s):** JP19990060184 19990308[Report a data error here](#)**Abstract of JP2000260714**

PROBLEM TO BE SOLVED: To provide a film-forming method, capable of implementing a flat embedded profile by controlling an embedded profile in an atmospheric pressure MOVPE embedding selective growth. **SOLUTION:** In a film-forming method, wherein an InP layer having the (100) plane 22 and a higher-order plane 21, is subjected to an organic metal vapor phase deposition process step under atmospheric pressure, a raw material of In and a raw material of P are supplied, and the raw material of In is caused to surface-migrate for a long time period by keeping the growth temperature of a compound semiconductor layer at 600 deg.C or lower. As a result, the growth of the compound semiconductor layer at the plane 22 is promoted and asperities are converged, and hence a flat embedded profile is achieved.

Data supplied from the **esp@cenet** database - Worldwide

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2000-260714
(P2000-260714A)

(43)公開日 平成12年9月22日 (2000.9.22)

(51)Int.Cl.⁷
H 01 L 21/205
H 01 S 5/227

識別記号

F I
H 01 L 21/205
H 01 S 3/18テーマコード* (参考)
5 F 0 4 5
6 6 5 5 F 0 7 3

審査請求 有 請求項の数7 O.L (全7頁)

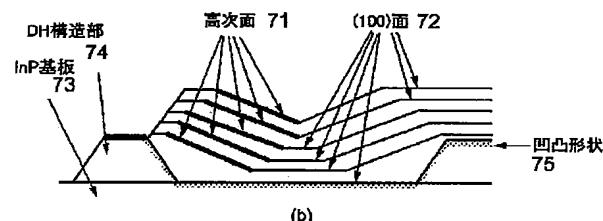
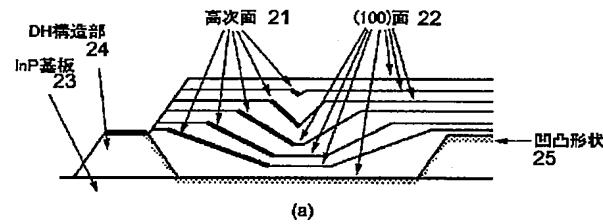
(21)出願番号 特願平11-60184

(22)出願日 平成11年3月8日 (1999.3.8)

特許法第30条第1項適用申請有り 1998年9月15日 社
団法人応用物理学会発行の「1998年(平成10年)秋季第
59回応用物理学会学術講演会講演予稿集 第1分冊」に
発表(71)出願人 000004237
日本電気株式会社
東京都港区芝五丁目7番1号
(72)発明者 厚井 大明
東京都港区芝五丁目7番1号 日本電気株
式会社内
(74)代理人 100082935
弁理士 京本 直樹 (外2名)
F ターム(参考) 5F045 AA04 AB12 AB17 AB18 AC19
AD09 AE29 AF04 BB16 CA12
DA53 DB02 DB05
5F073 AA23 AA74 CA12 DA05 EA29

(54)【発明の名称】 有機金属気相成長による成膜方法及びこれを用いた半導体レーザの製造方法

(57)【要約】

【課題】 常圧MOVPE埋め込み選択成長において、
埋め込み形状を制御し、平坦な埋め込み形状となる成膜
方法を提供する【解決手段】 (100)面及び高次面を有するInP
層を常圧下で有機金属気相成長させる成膜方法において、
InP原料及びP原料を供給し、前記化合物半導体層の
成長温度を600°C以下に保つことによりInP原料の
表面マイグレーション長くする。これにより、高次面に
おける成長が促進されて凹凸形状が収束し、平坦な埋め
込み形状となる。

【特許請求の範囲】

【請求項1】 III族元素及びV族元素からなり(100)面及び高次面を有する化合物半導体層を常圧下で有機金属気相成長させる成膜方法において、III族原料及びV族原料を供給し、前記化合物半導体層の成長温度を600°C以下に保つことによりIII族原料の表面マイグレーション長を長くすることを特徴とする成膜方法。

【請求項2】 前記成長温度が575°C～600°Cであることを特徴とする請求項1記載の成膜方法。

【請求項3】 前記III族原料はInであり、前記V族原料はPであることを特徴とする請求項1又は2記載の成膜方法。

【請求項4】 III族元素及びV族元素からなり(100)面及び高次面を有する化合物半導体層を常圧下で有機金属気相成長させる成膜方法において、V族原料の供給圧力を6.2Torr以下とすることにより、III族原料の表面マイグレーション長を長くしながら前記化合物半導体層を成長させることを特徴とする成膜方法。

【請求項5】 III族元素及びV族元素からなり(100)面及び高次面を有する化合物半導体層を常圧下で有機金属気相成長させる成膜方法において、V族原料の供給圧力を0.65Torr程度とすることにより、III族原料の表面マイグレーション長を長くしながら前記化合物半導体層を成長させることを特徴とする成膜方法。

【請求項6】 III族元素及びV族元素からなり(100)面及び高次面を有する化合物半導体層を常圧下で有機金属気相成長させる成膜方法において、III族原料及びV族原料を供給し、前記V族原料の供給圧力を6.2Torr以下とするとともに前記化合物半導体層の成長温度を600°C以下に保つことを特徴とする成膜方法。

【請求項7】 InP基板上に第1のマスクを選択的に形成する工程と、前記第1のマスクに覆われていない前記InP基板上に頂部及び側面部を有するダブルヘテロ構造部を有機金属気相成長法により形成する工程と、前記第1のマスクを除去する工程と、前記ダブルヘテロ構造部の前記頂部に第2のマスクを形成する工程と、前記第1のマスクに覆われていた前記InP基板及び前記ダブルヘテロ構造部の前記側面部上に電流プロック構造部を常圧下において600°C以下で有機金属気相成長法により形成する工程とを備える半導体レーザの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は有機金属気相成長(MOVPE)による成膜方法、及びこれを用いた半導体レーザの製造方法に関し、特に常圧MOVPE法による選択埋め込み成長法、及びこれを用いたを用いた半導体レー

ザの製造方法に関する

【0002】

【従来の技術】 MOVPE法による選択埋め込み成長を用いた半導体レーザの製造は、狭幅選択成長技術を用いて基板をエッチングすることなく製造できる点を特徴としている。例えば、IEEE Photonics Technology Letters 9 (1997) p291には、減圧下でのMOVPEによる「全選択MOVPE成長埋め込み構造レーザ(ASM-BH-LD)」の作製例が示されている。この半導体レーザの製造方法を図6を用いて説明する。まず、図6(a)に示すように(100)n-InP基板51上に厚さ約100nmのSiO₂膜52を常圧CVD法により堆積させる。

【0003】 次に、図6(b)に示すように堆積させたSiO₂膜52をバターニングし、[011]方向にマスク幅W_m=8μm、開口幅W_o=1.5μmのストライブマスク53を作製する。

【0004】 次に、図6(c)に示すように開口領域520に多重量子井戸構造(以下「MQW構造」と略す)部55を含むダブルヘテロ構造(以下「DH構造」と略す)部56を減圧下において選択MOVPE成長により作製する。MQW構造部55のうち、ウエル層57は、0.7%圧縮歪み・膜厚5nmのInGaAsP層、バリア層58は、膜厚8nm・発光波長1.13μmのInGaAsP層で、MQW構造部55の上下に膜厚60nm・発光波長1.13μmのInGaAsP-SCH層59を配している。

【0005】 次に、図6(d)に示すようにDH構造部56頂上のみにセルフアライイン的にSiO₂マスク60を形成する。

【0006】 次に図6(e)に示すようにこのSiO₂マスク60を利用してp-InP(キャリア濃度3×10¹⁷cm⁻³、膜厚0.75μm)61、n-InP(キャリア濃度7×10¹⁷cm⁻³、膜厚0.7μm)62、p-InP(キャリア濃度3×10¹⁸cm⁻³、膜厚0.10μm)63を順次、選択MOVPE成長し、電流プロック構造部64を作製する。

【0007】 次に図6(f)に示すようにSiO₂マスク60を除去した後、p-InPクラッド層65、p+-InGaAsコンタクト層66を成長する。

【0008】 最後に図6(g)に示すように基板51側、コンタクト層66側それぞれにn型電極67、p型電極68をそれぞれ形成して、DC-PBH構造69を作製する。

【0009】 以上のようにして作製したこの半導体レーザは、活性層及び、DC-PBH構造を全て選択成長により作製することで、安定した素子特性が得られている。

【0010】 一方、常圧MOVPE成長は、減圧成長と

比較して、例えばJournal of Crystal Growth 145 (1994) p622に示すように、III族原料の熱拡散効果の利用及び、V族原料の分解効率の補正をすることで基板面内高均一成長に優れている。したがって、常圧MOVPE成長を用いて高均一埋め込み成長をすれば、素子特性及び、歩留まりの更なる向上が期待できる。

【0011】

【発明が解決しようとする課題】ところが、常圧MOVPE成長において減圧成長と同様な成長条件で選択埋め込み成長した場合の問題点は、図3に示すように、電流ブロック構造部44及び、p-InPクラッド層45の形状が、InP基板31及び、DH構造部36から成る下地の形状を反映し、緩やかな凹凸形状を残したまま成長を続けるため、平坦な形状を実現できないことにあ

る。

【0012】具体的には、減圧MOVPE成長（成長圧力は25 Torrから150 Torr程度）におけるInPの標準的な成長条件は例えば、成長温度625°C、成長時のPH₃流量250cc/min、成長速度1.7 μm/hであり、上述した選択埋め込み成長工程においても同様の成長条件を採用しているが、この条件で常圧MOVPEによる選択埋め込み成長を行うと、減圧成長で得られるような平坦形状が実現できない。

【0013】その理由は、常圧成長での成長中の供給V族圧が減圧成長と比べて5倍から10倍高く、III族原料のマイグレーション長が短いためである。

【0014】したがって、本発明の目的は、常圧MOVPE埋め込み選択成長においても、埋め込み形状の制御が可能な成膜方法を提供することである。

【0015】また、本発明の他の目的は、かかる成膜方法を用いた半導体レーザの製造方法を提供することである。

【0016】

【課題を解決するための手段】本発明によれば、III族元素及びV族元素からなり（100）面及び高次面を有する化合物半導体層を常圧下で有機金属気相成長させる成膜方法において、III族原料及びV族原料を供給し、前記化合物半導体層の成長温度を600°C以下に保つことによりIII族原料の表面マイグレーション長を長くした成膜方法が提供される。また、前記成長温度は575°C～600°Cであることが好ましい。さらに、前記III族原料はInであり、前記V族原料はPであることが好ましい。

【0017】また、本発明によれば、III族元素及びV族元素からなり（100）面及び高次面を有する化合物半導体層を常圧下で有機金属気相成長させる成膜方法において、V族原料の供給圧力を6.2 Torr以下とすることにより、III族原料の表面マイグレーション長を長くしながら前記化合物半導体層を成長させる成膜

方法が提供される。ここで、V族原料の供給圧力は0.65 Torr程度まで低くすることが好ましい。さらに、V族原料の供給圧力を6.2 Torr以下とするとともに前記化合物半導体層の成長温度を600°C以下に保つことが好ましい。

【0018】また、本発明によれば、InP基板上に第1のマスクを選択的に形成する工程と、前記第1のマスクに覆われていない前記InP基板上に頂部及び側面部を有するダブルヘテロ構造部を有機金属気相成長法により形成する工程と、前記第1のマスクを除去する工程と、前記ダブルヘテロ構造部の前記頂部に第2のマスクを形成する工程と、前記第1のマスクに覆われていた前記InP基板及び前記ダブルヘテロ構造部の前記側面部上に電流ブロック構造部を常圧下において600°C以下で有機金属気相成長法により形成する工程とを備える半導体レーザの製造方法が提供される。かかる半導体レーザの製造方法は、常圧MOVPE選択埋め込み成長において、ブロック層埋め込み構造部の形状を、III族原料の表面マイグレーション長を制御することにより所望の形状にするものである。

【0019】表面マイグレーション長を制御する手段として、成長中の供給V族圧力、成長温度等が挙げられる。例えば、凹凸形状を平坦に埋め込み成長するためには（311）面等の高次面での成長速度と平坦面である（100）面での成長速度との差を利用すればよい。

【0020】本発明は、この点に着目したものであり、図4（a）で示しているように、高次面21での成長速度が（100）面22での成長速度より充分速ければ、InP基板23とDH構造部24とから成る凹凸形状25のうち、谷の部分が高次面成長により埋まりやすくなる。成長速度の遅い（100）面22のみになれば、その後は基板全面で平坦な（100）面成長を続けるため、最終的に平坦形状が実現できる。

【0021】この成長速度の違いは供給III族原料の表面マイグレーション長によって決まる。これを図5を利用して説明する。図5（a）で示しているように、表面マイグレーション長が長い場合、（100）面26上に供給されたIII族原料種27は成長速度の速い高次面28に取り込まれやすい。

【0022】逆に図5（b）で示しているように表面マイグレーション長が短い場合、III族原料種27は高次面28に取り込まれる前に成長に寄与することから、高次面28と（100）面26との成長速度の差は小さくなる。そのため、図4（b）で示すように、高次面21と（100）面22の成長速度がほぼ等しい場合には緩やかな凹凸形状を残したまま成長を続けることがわかる。

【0023】したがって、上述のように減圧成長での成長条件と同様の成長条件で成長した場合、平坦形状が形成できなかった原因是、表面マイグレーション長が短い

ためである。

【0024】III族原料の表面マイグレーション長を決める要因のひとつに、III族原料と同時に供給されるV族の圧力がある。常圧MOVPE成長では、減圧成長と比較して供給V族流量が同じ場合、例えば、V族原料としてのPH₃の流量を250cc/min(25Torrから150Torr程度)とすると、成長に寄与する実効的なV族圧力は5倍から10倍高くなるため、表面マイグレーション長は短くなる。したがって、表面マイグレーション長を長くするためにはV族圧力を低くすることが望ましく、その手段として供給V族(PH₃)流量を従来の250cc/min(25Torrから150Torr程度)と比べて小流量にすればよい。

【0025】また、V族圧力を低くする別の手段として、PH₃の分解効率の温度依存性が大きいことを利用すればよい。成長温度を低くすれば、PH₃の分解は抑制されて実効的なV族圧力(P圧)が低くなり、供給V族(PH₃)流量を小流量にした場合と同様の効果を得ることができる。

【0026】

【発明の実施の形態】次に、本発明の実施の形態による有機金属気相成長(MOVPE)による成膜方法、及びこれを用いた半導体レーザの製造方法につき、図面を参照しながら説明する。

【0027】図1を参照すると、活性層を含むダブルヘテロ構造部6を選択成長したInP基板1において、該ダブルヘテロ構造部6頂上のみに成長阻止のためのSiO₂膜をセルフアライン的に形成し、常圧MOVPE炉において電流プロック構造部14を選択埋め込み成長する。次に該SiO₂膜を除去してp-InPクラッド層15を埋め込み成長する。

【0028】図2を使って具体的に説明する。図2(a)に示すように(100)n-InP基板1上に厚さ約100nmのSiO₂膜2を常圧CVDにより堆積させる。次に、図2(b)に示すようにこの堆積させたSiO₂膜2を用いて[011]方向にマスク幅Wm、開口幅Woのストライプマスク3を通常のフォトリソグラフィ法により作製する。マスク幅は1μmから100μm、特に5μmから50μm程度が望ましく、開口幅は1μmから5μm、特に1.5μmから2μm程度が望ましい。次に、図2(c)に示すように開口領域4に多重量子井戸構造(以下「MQW構造」と略す)部5を含むダブルヘテロ構造(以下「DH構造」と略す)部6を選択MOVPE成長により作製する。MQW構造部5のうち、ウェル層7は0.7%圧縮歪み、膜厚5nmのInGaAsP層、バリア層8は膜厚8nm、発光波長1.13μmのInGaAsP層で、MQW構造部5の上下に膜厚60nm、発光波長1.13μmのInGaAsP-SCH層9を配している。次に、図2(d)に示すようにDH構造部6頂上のみにセルフアライン的に

SiO₂マスク10を形成する。次に、図2(e)に示すようにこのSiO₂マスクを利用してp-InP(キャリア濃度3×10¹⁷cm⁻³、膜厚0.75μm)11、n-InP(キャリア濃度7×10¹⁷cm⁻³、膜厚0.7μm)12、p-InP(キャリア濃度3×10¹⁸cm⁻³、膜厚0.10μm)13を順次、常圧選択MOVPE成長にて形成し、電流プロック構造部14を作製する。次に、図2(f)に示すようにSiO₂マスク10を除去した後、p-InPクラッド層15、p+-InGaAsコンタクト層16を常圧成長にて形成する。最後に図2(g)に示すように基板1側、コンタクト層16側それぞれにn型電極17、p型電極18をそれぞれ形成してDC-PBH構造19を作製する。

【0029】プロック層成長の際、その形状を平坦にしなければ、成長中のPH₃流量(V族圧)を通常の流量と比較して約1/2から1/100に絞る。特に、1/10程度が望ましい。例えば、従来の流量が250cc/minならば、25cc/min程度にすればよい。このとき、高次面での成長速度は(100)面での成長速度と比較して、従来の成長方法では約1.3倍であったが、本発明の成長方法を用いれば、約2.5倍速くなる。その結果、図1及び、図3に示すプロック層構造の最も膜厚の厚い部分(A)141及び、441と最も膜厚の薄い部分(B)142及び、442との比「B/A」は従来の成長方法では0.7程度であったが、本発明の成長方法により0.9以上と大幅に改善された。逆に、凹凸形状を残すにはV族圧を高くすることが望ましい。

【0030】図7に、PH₃の供給圧力とプロック層の傾斜角度との関係を示す。ここで、傾斜角度とは、(100)面と高次面との角度を指す。図7に示すように、PH₃の供給圧力を低くするにつれて傾斜角度が大きくなっていることが分かる。傾斜角度が大きい場合、図4(a)に示すように、成長につれて凹凸形状が収束するため、最終的に(100)面のみからなる平坦表面が得られる。尚、図7は、PH₃の供給圧力が0.65Torr～6.2Torrの範囲にある場合におけるプロック層の傾斜角度を示すものである。

【0031】本発明の主眼は常圧MOVPE埋め込み選択成長において、プロック層成長中の供給III族原料の表面マイグレーション長を制御して所望の埋め込み形状を実現することにある。第1の実施例では、平坦形状を実現するためにPH₃流量を小流量にして供給V族圧を低くする手法を取った。V族圧を低くする別の手法として、成長温度を結晶成長が可能な範囲で従来の成長温度と比較して低くする方法がある。V族原料であるPH₃の分解効率は温度依存性が大きく、成長温度の低温化によりPH₃の分解は抑制され成長に寄与する実効的なV族圧力(P圧)は小さくなる。その結果、III族表面マイグレーション長を長くすることができ、プロック

層形状の平坦化が実現できる。例えば、従来の成長温度は625°Cから650°C程度が一般的であるが、常圧M
O V P E埋め込み選択成長におけるブロック層成長中の成長温度は600°C以下、特に575°C程度にすればよい。このとき、P H₃の分解効率は1/10程度になるため、P H₃流量を1/10にした場合と同等の効果を得ることができる。

【0032】図8に、成長温度とブロック層の傾斜角度との関係を示す。図8に示すように、600°C以下になると傾斜角度が急激に大きくなっていることが分かる。傾斜角度が大きい場合、図4(a)に示すように、成長につれて凹凸形状が収束するため、最終的に(100)面のみからなる平坦表面が得られる。

【0033】

【発明の効果】本発明の効果は、ブロック埋め込み構造部の形状を自在に制御できるということである。これにより、選択成長技術を用いた半導体レーザの素子特性を大幅に向上することができるようになる。

【0034】ブロック埋め込み構造部の形状を自在に制御できる理由は、供給するIII族原料の表面マイグレーション長を供給V族圧及び、成長温度により制御しているためである。

【図面の簡単な説明】

【図1】本発明による半導体レーザの断面図である。

【図2】本発明による半導体レーザの製造方法を工程順に示す図である。

【図3】電流ブロック構造部に生じる凹凸について説明する図である。

【図4】凹凸形状の平坦化について説明する図である。

【図5】凹凸形状が平坦化される原理について説明する図である。

* 【図6】従来の半導体レーザの製造方法を工程順に示す図である。

【図7】P H₃の供給圧力とブロック層の傾斜角度との関係を示す図である。

【図8】成長温度とブロック層の傾斜角度との関係を示す図である。

【符号の説明】

1, 23, 31, 73 InP基板

2 SiO₂膜

10 3 ストライプマスク

4 開口領域

5 MQW構造部

6, 24, 36, 74 DH構造部

7 ウェル層

8 バリア層

9 SCH層

10 SiO₂マスク

11, 13 p-InP

12 n-InP

20 14, 44 電流ブロック構造部

16 p⁺-InGaAsコンタクト部

15, 45 p-InPクラッド層

17 n型電極

18 p型電極

19 DC-PBH構造

21, 28, 71, 78 高次面

22, 26, 72, 76 (100)面

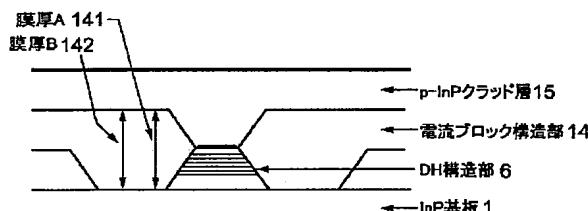
25, 75 凹凸形状

27, 77 III族原料種

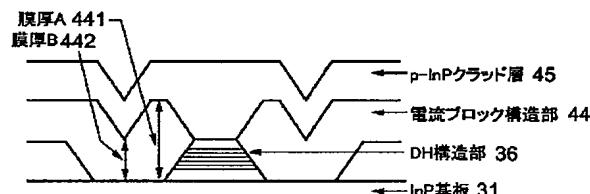
30 141, 441 膜厚A

* 142, 442 膜厚B

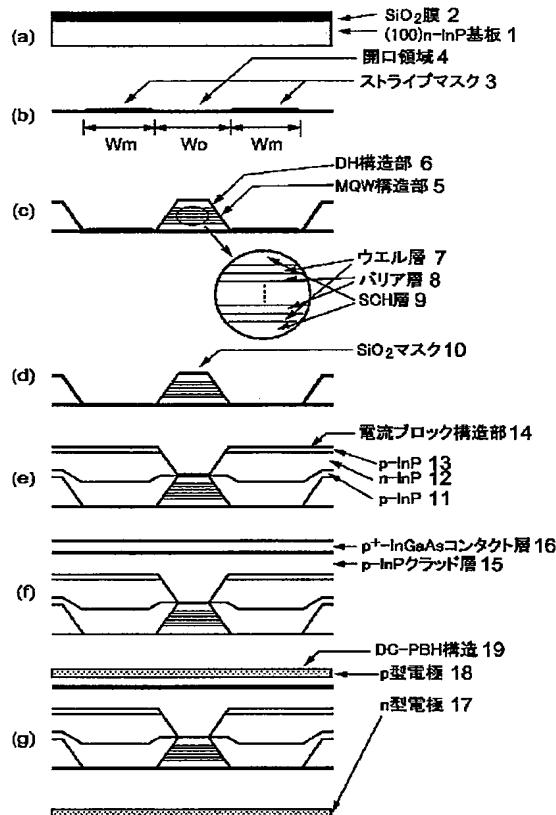
【図1】



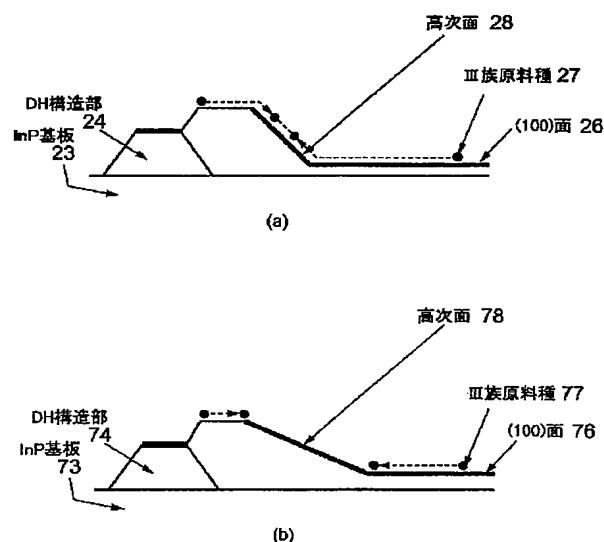
【図3】



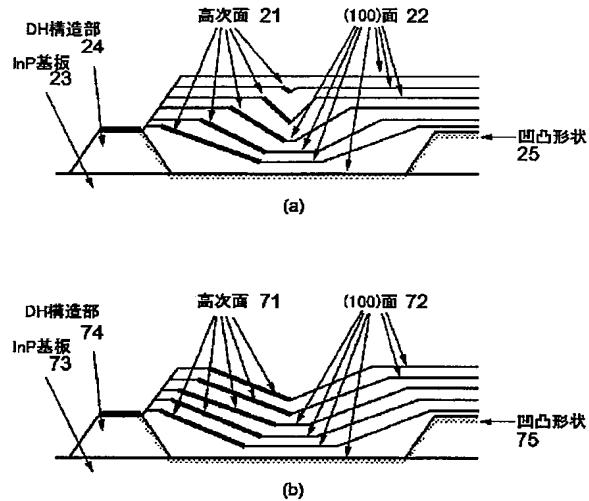
【図2】



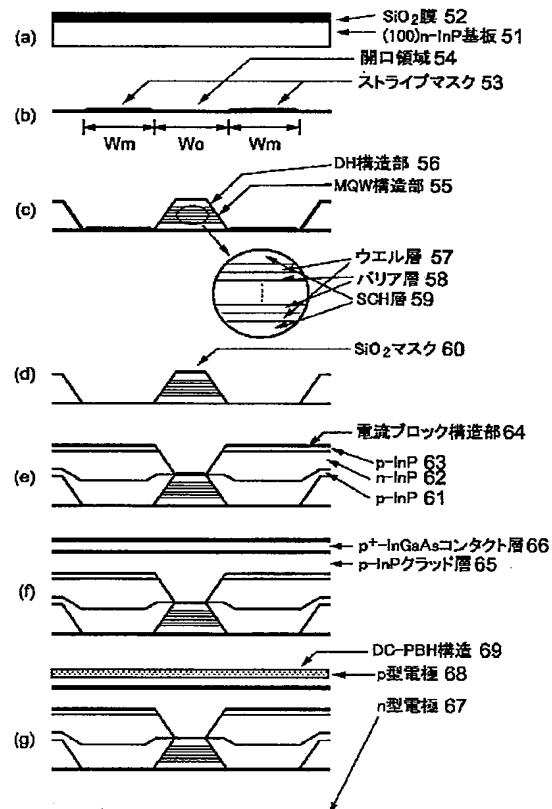
【図5】



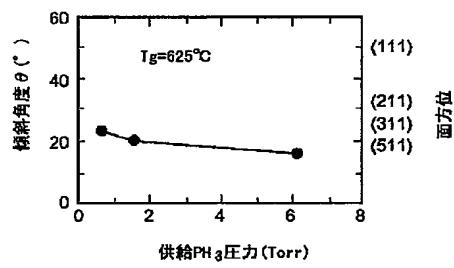
【図4】



【図6】



【図7】



【図8】

